

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

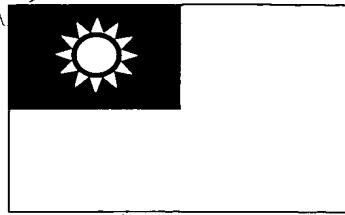
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



9/18/1

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2002 年 12 月 19 日
Application Date

申 請 案 號：091136733
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 1 月 9 日
Issue Date

發文字號：09220023380
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	高密度多晶片模組的結構及其方法
	英文	HIGH DENSITY MULTI-CHIP MODULE STRUCTURE AND MANUFACTURING METHOD THEREOF
二、 發明人	姓名 (中文)	1. 何昆耀 2. 宮振越
	姓名 (英文)	1. Kwun Yao Ho 2. Moriss KUNG
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA Technologies, Inc.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 臺北縣新店市中正路533號8樓
	代表人 姓名 (中文)	1. 王雪紅
代表人 姓名 (英文)	1. Cher WANG	

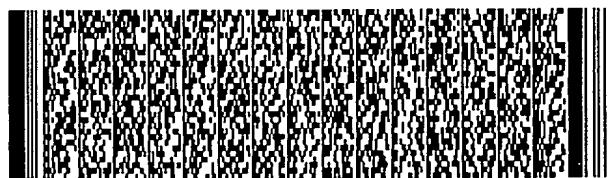
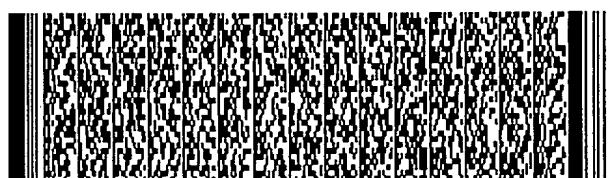


四、中文發明摘要 (發明之名稱：高密度多晶片模組的結構及其方法)

本發明係有關於一種高密度多晶片模組 (Multi Chip Module; MCM) 的結構及形成方法。發明首先在一積體電路底材上依序形成一絕緣層及多層內連線層，其中多層內連線層之第一表面設有多數個第一鋁墊、第二表面設有多數個第二鋁墊。接著，利用研磨製程以減少積體電路底材的厚度，接下來再進行蝕刻製程依序貫穿積體電路底材及絕緣層，以於其內形成多數個導通孔，其中任一導通孔之底部均露出第二鋁墊。接下來在多數個導通孔內填入金屬以形成導通插塞，並在任一導通插塞之表面上形成第三鋁墊。最後，可將至少一晶片電性連接至此第三鋁墊，並針對任一晶片與第三鋁墊接觸處進行一覆晶接合構裝製程，即可完成本發明之高密度多晶片模組。

英文發明摘要 (發明之名稱：HIGH DENSITY MULTI-CHIP MODULE STRUCTURE AND MANUFACTURING METHOD THEREOF)

The invention discloses a high density multi-chip module structure and the manufacturing method thereof. First of all, an insulating layer and a multilevel interconnect structure are formed on an integrated circuit substrate, wherein the multilevel interconnect structure has a first surface comprising a plurality of first bonding pads and a second surface comprising a plurality of second bonding pads. Then the integrated circuit substrate is thinned by a polishing



四、中文發明摘要 (發明之名稱：高密度多晶片模組的結構及其方法)

代表圖：第七圖

代表號：

- 200 主動式晶片
- 210 第一鍍接凸塊
- 250 被動式晶片
- 260 晶填充物
- 500 基板
- 510 第四鍍墊
- 520 第二鍍接凸塊
- 600 IC晶片
- 610 高密度多晶片模組之底材

英文發明摘要 (發明之名稱：HIGH DENSITY MULTI-CHIP MODULE STRUCTURE AND MANUFACTURING METHOD THEREOF)

process, and the integrated circuit substrate and the insulating layer are etched through to form a plurality of holes by etching processes and expose the second bonding pads. Next a metal material is filled in the holes to form conductive plugs and a plurality of third bonding pads are formed on the conductive plugs. Finally, at least one chip can be electrically connected to the third bonding pads and a flip-chip package process is performed to complete the multi-chip module structure of the



四、中文發明摘要 (發明之名稱：高密度多晶片模組的結構及其方法)

620 第三鍥接凸塊

630 覆晶填充物

英文發明摘要 (發明之名稱：HIGH DENSITY MULTI-CHIP MODULE STRUCTURE AND MANUFACTURING METHOD THEREOF)

invention.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

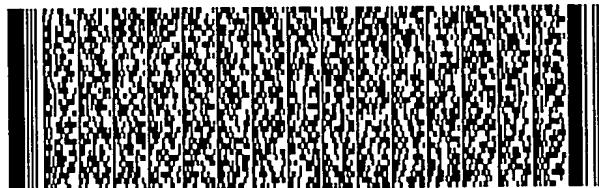
一、【發明所屬之技術領域】

本發明係有關於一種高密度多晶片模組的結構及形成方法，尤其是關於一種多晶片以面對背 (face-to-back) 內連線之三度空間堆疊方式，整合主動元件及被動元件之多晶片模組，可提高構裝積體電路的品質、加速製程運作之效率、並可增加構裝積體電路內之電路密度。

二、【先前技術】

在過去，積體電路廠商所發展出來的積體電路構裝技術，已企圖滿足微小化的要求。對於微小化的積體電路改良方法，是使其能夠在矽底材上結合包含電路、晶片等數以百萬計的電晶體電路元件。這些改良的方法導致在有限的空間中構裝電路元件的方法更受到重視。

積體電路藉由一矽晶圓經過複雜的蝕刻、摻雜、沈積及切割等技術，在積體電路設備中製造出來。一矽晶圓至少包含一積體電路晶片，每一晶片代表一單獨的積體電路。最後，此晶片可藉由包圍在晶片四周的塑膠灌膠混合物 (Molding Compound) 構裝起來，且有多樣化的針腳露出和互相連接的設計。例如：提供一相當平坦構裝的 M 型雙列直插式構裝體 (M Dual-In-Line-Package; M-Dip)，其有兩列平行的引腳從底部穿通孔中延伸出來，接觸並固定於在下面的積體電路板上。容許較高密度積體電路的印刷電路板為單列式構裝體 (Single-In-Line-Package;

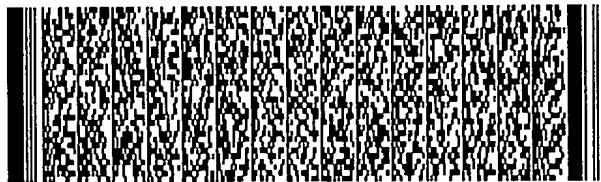
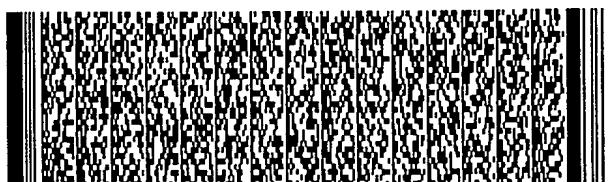


五、發明說明 (2)

SIP) 和小外型接腳構裝 (Small Outline J-leaded; SOJ)，其為採用模型的構裝。

依照構裝中組合的積體電路晶片數目，構裝積體電路的種類大致可分為單晶片構裝 (Single Chip Package; SCP)與多晶片構裝 (Multichip Package; MCP)兩大類，多晶片構裝也包括多晶片模組構裝 (Multichip Module; MCM)。若依照元件與電路板的接合方式，構裝積體電路可區分為引腳插入型 (Pin-Through-Hole; PTH)與表面黏著型 (Surface Mount Technology; SMT)兩大類。引腳插入型元件的引腳為細針狀或是薄板狀金屬，以供插入腳座 (Socket)或電路板的導孔 (Via)中進行鍍接固定。而表面黏著型的元件則先黏貼於電路板上後再以鍍接的方式固定。目前所採用之較先進的構裝技術為晶片直接黏結 (Direct Chip Attach; DCA)構裝，以降低構裝積體電路之體積的大小，並增加構裝積體電路內部之電路的積集度。晶片直接黏結的技術為直接將積體電路的晶片 (Integrated Circuit Chip)固定至基板 (Substrate)上，再進行電路的連結。

參照第一圖所示，此為傳統在封裝基板上佈植多晶片之結構。在第一 A圖中，多數個晶片 10可藉由多數個鍍接凸塊 20覆晶連接於基板 30上，或是先將部分多數個晶片 10黏結於基板 30上，再將晶片 10與基板 30藉由引線 35相互連



五、發明說明 (3)

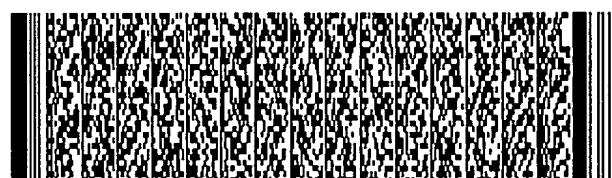
接，以使訊號能夠在晶片與基板之間傳遞。最後在晶片上覆蓋封膠 40，以保護基板上之多數個晶片 10。在第一 B 圖中，多數個晶片 10 則是以堆疊的方式與基板 30 相互連結。

在上述傳統技術中，多數個晶片均直接或間接連結至基板上，並藉由基板之電路繞線 (routing) 來彼此電性溝通，會增加傳統技術中基板本身電路繞線的困難度，並因晶片與晶片之間的距離較大而造成構裝積體電路的體積無法順利縮小而增加封裝體尺寸，故而提高基板的成本，更因為晶片之間電路溝通之路徑較長，而使電性效能受限。雖然目前業界已提出整合主動元件及被動元件之多功能之單一晶片 (Silicon on a Chip; SOC) 的解決方案，但其設計及製程的困難度仍高，且價格較貴。

三、【發明內容】

鑑於上述之發明背景中，傳統將多數個晶片直接連接基板的結構及方法將無法縮小構裝積體電路的體積，更會降低積體電路內之電路間的溝通效率，本發明提供了一種高密度多晶片模組的結構及形成方法，利用在積體電路底材形成多數個導通插塞 (Conductive Plug)，並以此導通插塞連結多數個晶片而形成高密度多晶片模組，以提高晶片聚集之密度，並縮小多晶片模組封裝之體積。

本發明所欲解決之技術問題的為利用在積體電路底材

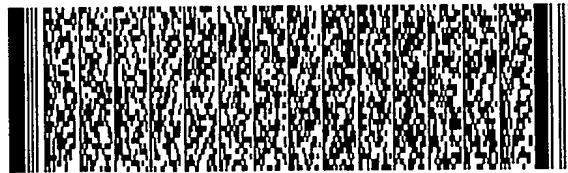


五、發明說明 (4)

形成多數個導通插塞，並以此導通插塞連結多數個晶片而形成高密度多晶片模組，以簡化多晶片模組的製程步驟，並容易整合主動元件及被動元件。

本發明所欲解決之技術問題為利用在積體電路底材形成多數個導通插塞，並以此導通插塞連結多數個晶片而形成高密度多晶片模組，以提高多晶片模組封裝的良率及其電性之表現 (Electrical Performance)。

根據以上所述，本發明提供了一種高密度多晶片模組的結構及形成方法，利用在積體電路底材形成多數個導通插塞，並以此導通插塞連結多數個晶片而形成高密度多晶片模組。本發明首先在一積體電路底材上依序形成一絕緣層及多層內連線層，其中多層內連線層之第一表面設有多數個第一鋸墊、第二表面設有多數個第二鋸墊。接著，利用研磨製程以減少積體電路底材的厚度至約為 10 至 500 微米。接下來再進行蝕刻製程依序貫穿積體電路底材及絕緣層，以於其內形成多數個導通孔 (via)，其中任一導通孔之底部均露出第二鋸墊。接下來在多數個導通孔內填入金屬以形成多數個導通插塞，並在任一導通插塞之表面上形成第三鋸墊。最後，可將至少一晶片電性連接至此第三鋸墊，其中該晶片可為主動晶片或被動晶片或上述兩者，並針對任一主動晶片與第三鋸墊接觸處進行覆晶接合構裝製程，即可完成本發明之高密度多晶片模組。



四、【實施方式】

本發明的一些實施例會詳細描述如下。然而，除了詳細描述外，本發明還可以廣泛地在其他的實施例施行，且本發明的範圍不受實施例的限定，其之後的專利範圍為準。

本發明提供了一種高密度多晶片模組的結構及形成方法，利用在積體電路底材形成多數個導通插塞，並以此導通插塞連結多數個晶片而形成高密度多晶片模組，以提高晶片聚集之密度。參照第二圖所示，此為本發明實施例所提供之積體電路底材並在該底材上形成一絕緣層、一多層內連線層、與第一及第二鋸墊之示意圖。本發明首先提供一積體電路矽晶圓底材 100，並在晶圓底材 100 第一表面 102 上形成一絕緣層 110。接下來在此絕緣層 110 之表面上形成多層內連線層 120，其中多層內連線層 120 之第一表面 122 形成有多數個第一鋸墊 131、第二表面 124 形成有多數個第二鋸墊 132。接下來進行一研磨的程序由晶圓底材 100 之一第二表面 104 上移除部分之晶圓底材 100，以減少該晶圓底材 100 之厚度。通常在經過研磨製程後，晶圓底材之厚度大約為 10 至 500 微米 (micron meter) 且此研磨的程序大部分採用化學機械研磨的製程。

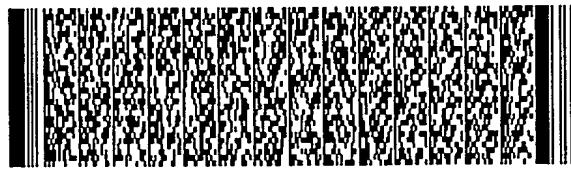
參照第三圖所示，此為在晶圓底材內形成多數個導通



五、發明說明 (6)

孔之示意圖。當利用研磨的方式由晶圓底材 100 之第二表面 104 縮小晶圓底材 100 之厚度後，隨即由晶圓底材 100 之第二表面 104 上進行蝕刻之製程，以移除部分之晶圓底材 100 及部分之絕緣層 110，在晶圓底材 100 及絕緣層 110 內形成多數個導通孔 140，其中任一導通孔 140 之底部均露出該第二鋸墊 132。在蝕刻的過程中，首先在部分之晶圓底材 100 的第二表面 104 上形成一第一光阻層。接下來即可利用離子束蝕刻、反應式離子蝕刻 (Reactive Ion Etching)、化學蝕刻 (Chemical Etching)、雷射蝕刻、紫外光蝕刻、或是電化學蝕刻等製程依序移除部分之晶圓底材 100 及部分之絕緣層 110。最後移除此第一光阻層即可在晶圓底材 100 與絕緣層 110 內形成多數個導通孔 140，並露出多層內連線層 120 之第二鋸墊 132。

參照第四圖所示，此為在晶圓底材及絕緣層內形成多數個導通插塞，並在任一導通插塞之表面形成一第三鋸墊之示意圖。當在晶圓底材 100 及絕緣層 110 內形成多數個導通孔 140 後，隨即可在晶圓底材之第二表面上形成一第二光阻層並在多數個導通孔 140 內形成一金屬層 150，其中此金屬層 150 之材質為鎢或銅或其他金屬，且此金屬層 150 將填滿任一導通孔。最後移除第二光阻層與多餘之金屬層 150 以在晶圓底材 100 及絕緣層 110 內形成多數個導通插塞。這些導通插塞之用途即為用來連接多層內連線層 120 與其他元件，以使訊號能在多層內連線層 120 與其他元件之



五、發明說明 (7)

間傳遞。在晶圓底材 100 及絕緣層 110 內形成多數個導通插塞 150 之後，隨即在晶圓底材之第二表面上形成一第三光阻層，並在任一導通插塞 150 之表面上形成一第三鋸墊 170。最後移除第三光阻層即可完成本發明之高密度多晶片模組之底材。其中第三鋸墊 170 之位置即為後續與其他元件電性接觸的位置。

參照第五圖所示，此為將多數個晶片連接第三鋸墊並進行覆晶接合構裝之示意圖。所採用的多數個晶片分為兩種形式之晶片，一種為主動式晶片 (Active Chip) 200，另一種為被動式晶片 (Passive Chip) 250。主動式晶片 200 係為一覆晶晶片 (Flip-Chip)，其上包含多數個第一鋸接凸塊 210。當多數個第一鋸接凸塊 210 黏結至第三鋸墊 170 上時，即可將主動式晶片電性連結於高密度多晶片模組之底材 300 上。被動式晶片 250 上則包含多數個電極 260。當多數個電極 260 黏結至第三鋸墊 170 上時，即可將被動式晶片電性連結於高密度多晶片模組之底材 300 上。最後進行一覆晶接合構裝製程，以將覆晶填充物 400 充填至各晶片與高密度多晶片模組底材 300 之間，用以保護多數個晶片 200 及 250 與高密度多晶片模組底材 300 之間的接合處即可完成本發明之高密度多晶片模組。由於在本發明之高密度多晶片模組上，被動式晶片可被設計安排在主動式晶片的旁邊，因此將可改善構裝積體電路的電性表現。由於本發明先對多數個晶片進行一模組化製程，因此訊號在多



五、發明說明 (8)

數個晶片之間的傳遞不再像是傳統技術一樣必須經由基板上之電路傳遞，因此本發明所提供之不但可縮小多晶片封裝之體積，更可提高多晶片封裝體之效能。

當本發明之高密度多晶片模組製作完成之後，隨即可視製程與產品之需求之不同做各種變化，以下所述之實施例僅為應用本發明之兩種方式，但並不限制本發明之範圍。

參照第六圖所示，此為將本發明之高密度多晶片模組黏結至封裝基板上之示意圖。首先提供一封裝基板 500且此基板之表面上包含多數個第四鋸墊 510。接下來可將多數個第二鋸接凸塊 520黏結至高密度多晶片模組上之多層內連線層的第一表面 122上的第一鋸墊 131上。最後將多數個第二鋸接凸塊 520以覆晶接合方式黏結至基板 500表面上之多數個第四鋸墊 510，上即可一多晶片模組封裝體結構。

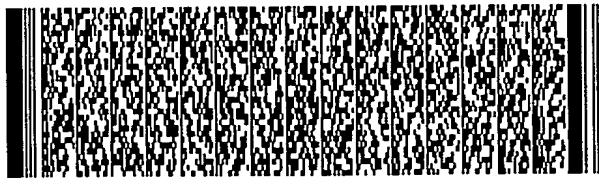
參照第七圖所示，此為將本發明另一實施例之高密度多晶片模組黏結至基板上之示意圖。本實施例中一被動晶片 250及一主動 IC晶片 200係分別連結並堆疊於另一 IC晶片 600之背面，而該 IC晶片 600則係覆晶堆疊於如前述之多晶片模組底材 610，鋸接凸塊之間包含覆晶填充物 630以保護鋸接凸塊與高密度多晶片模組。高密度多晶片模組中諸晶



五、發明說明 (9)

片之電性連接方式均是利用本發明所提出的面對背內連線之三度空間堆疊方式，以增加各晶片間訊號傳輸的效能。當然，堆疊之層數及晶片數目將不限於本實施例。當本發明之高密度多晶片模組形成之後，還可視產品之需求與另一多晶片模組之底材以覆晶方式相互結合。

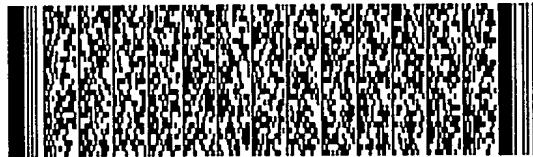
綜合上述，本發明提供了一種高密度多晶片模組的結構及形成方法，利用在積體電路底材形成多數個導通插塞三多體層，並以此導通插塞連結多數個晶片，以面對背內連線之三度空間堆疊方式完成晶片間之電性連接，而形成高密度一多體層，其中多層有底材上依序形成一絕緣層及多層第一鋁墊、第二表面設有底材的厚度，其中此研磨的製程通常為化學機械研磨製程。經過此研磨製程後，晶圓底材的厚度大約為10至500微米。接下來進行蝕刻之製程依序貫穿積體電路底材及絕緣層，以於其內形成多數個導通孔，其中任一導通孔之底部均形成鋁墊。接下來在多數個導通孔內填入金屬以形成第三鋁墊。最後，可將至少一晶片電性連接至此兩者，並針對任一主動晶片與第三鋁墊接觸處進行覆晶接合構裝製程，即可完成本發明之高密度多晶片模組。利用本發明所提出的面



五、發明說明 (10)

對背內連線之三度空間堆疊方式，可增加各晶片間訊號傳輸的效能，且模組中晶片的數目及堆疊之層數可任意組合，並可同時整合主動及被動元件於同一晶片模組中。利用本發明之高密度多晶片模組可簡化多晶片元件的製程步驟並可提高多晶片模組構裝的品質。利用本發明之高密度多晶片模組更可改善多晶片模組構之裝電性表現，不僅具有步進性之增進，並且為前所未見之設計，具有功效性與進步性之增進，故已符合專利法之要件，爰依法具文申請之。為此，謹貴審查委員詳予審查，並祈早日賜准專利，至感德便。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



圖式簡單說明

五、【圖式簡單說明】

以上及其餘有關於本發明的特性及優點在發明的說明及附圖中可得到更完整的說明。

第一圖為傳統在封裝基板上佈植多晶片之封裝體結構示意圖；

第二圖為本發明實施例所提供之在晶圓底材上形成一絕緣層、多層內連線層、與第一及第二鋸墊之示意圖；

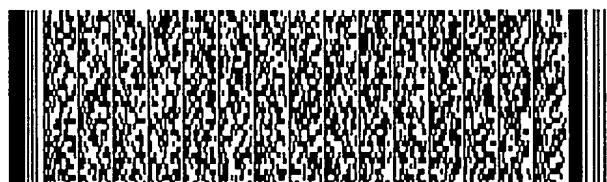
第三圖為本發明實施例在晶圓底材內形成多數個導通孔之示意圖；

第四圖為本發明實施例在晶圓底材及絕緣層內形成多數個導通插塞，並在任一導通插塞之表面形成一第三鋸墊之示意圖；

第五圖為本發明實施例將多數個晶片連接第三鋸墊並進行覆晶接合構裝之示意圖；

第六圖為本發明實施例將高密度多晶片模組黏結至基板上之示意圖；及

第七圖為將本發明另一實施例之高密度多晶片模組黏



圖式簡單說明

結至基板上之示意圖。

主要部份的代表符號：

10晶片

20鍍接凸塊

30基板

35引線

40封膠

100晶圓底材

102晶圓底材之第一表面

104晶圓底材之第一表面

110絕緣層

120多層內連線層

122多層內連線層之第一表面

124多層內連線層之第二表面

131第一鍍墊

132第二鍍墊

140導通孔

150導通插塞

170第三鍍墊

200主動式晶片

210第一鍍接凸塊

250被動式晶片

260電極



圖式簡單說明

400 覆晶填充物

500 基板

510 第四鍍墊

520 第二鍍接凸塊

600 IC晶片

610 高密度多晶片模組之底材

620 第三鍍接凸塊

630 覆晶填充物



六、申請專利範圍

1. 一種高密度多晶片模組結構，其中該結構包含：

一第一多晶片模組底材，包含：

一積體電路底材，包含一第一表面與一第二表面；

一絕緣層，位於該積體電路底材之該第一表面上；

一多層內連線結構，位於該絕緣層上，包含一第三表面與一第四表面，其中該第四表面係為該絕緣層與該多層內連線結構之界面，且該第三表面設有多數個第一鋸墊、該第四表面設有多數個第二鋸墊；

多數個導通插塞，貫穿該積體電路底材與該絕緣層，並分別與該些第二鋸墊相接觸；

多數個第三鋸墊，位於該積體電路底材之第二表面，並分別與該些導通插塞相接觸；及

多數個晶片，位於該積體電路底材之該第二表面上且電性連接至該些第三鋸墊。

2. 如申請專利範圍第1項之高密度多晶片模組結構，其中上述之該積體電路底材係為矽晶圓基材。

3. 如申請專利範圍第1項之高密度多晶片模組結構，其中上述之該積體電路底材之厚度大約為10至500微米。

4. 如申請專利範圍第1項之高密度多晶片模組結構，其中上述之晶片係為主動式晶片。



六、申請專利範圍

5.如申請專利範圍第4項之高密度多晶片模組結構，其中上述之主動式晶片係以覆晶接合方式固定於該積體電路底材之該第二表面上。

6.如申請專利範圍第1項之高密度多晶片模組結構，其中上述之晶片係為被動式晶片。

7.如申請專利範圍第1項之高密度多晶片模組結構，其中上述之該多數個晶片係分別各自電性連接至該積體電路底材之該些第三鍍墊。

8.如申請專利範圍第1項之高密度多晶片模組結構，其中上述之該多數個晶片係包括下述結構：至少一晶片係電性連結並堆疊於一第一主動式晶片之背面，其中該第一主動式晶片係以覆晶接合方式固定於所述之第一多晶片模組底材。

9.如申請專利範圍第8項之高密度多晶片模組結構，其中上述之至少一晶片係包括一第二主動式晶片，其係以覆晶接合方式固定於該第一主動式晶片之背面。

10.如申請專利範圍第8項之高密度多晶片模組結構，其中上述之至少一晶片係包括一被動式晶片。



六、申請專利範圍

11.如申請專利範圍第1項之高密度多晶片模組結構，其中上述之高密度多晶片模組可藉由覆晶接合方式固定於一第二多晶片模組底材，其中該第二多晶片模組底材之結構與該第一多晶片模組底材之結構相同。

12.如申請專利範圍第1項之高密度多晶片模組結構，其中上述之高密度多晶片模組可藉由覆晶接合方式固定於一電路基板上。

13.一種形成高密度多晶片模組的方法，包含：

提供一積體電路底材，其中該積體電路底材包含一第一表面與一第二表面；

形成一絕緣層於該積體電路底材之該第一表面上；

形成一多層內連線結構於該絕緣層上，其中該多層內連線結構包含一第三表面與一第四表面，其中該第四表面係為該絕緣層與該多層內連線結構之界面，且該第三表面設有多數個第一鋸墊、該第四表面設有多數個第二鋸墊；

進行一研磨製程於該積體電路底材之該第二表面上，以移除部分之該積體電路底材以縮小該積體電路底材之厚度；

進行一蝕刻製程由該積體電路底材之該第二表面依序移除部分該積體電路底材及部分該絕緣層，以在該積體電路底材及該絕緣層內形成多數個導通孔(via)；

形成一金屬層於任一該導通孔內並填滿該些導通孔，



六、申請專利範圍

導通插塞 (conductive plug)；

形成多數個第三鋸墊於該積體電路底材之該第二表面上，其中該些第三鋸墊係分別位於任一該導通插塞之表面上，以形成一第一多晶片模組之底材；及

固定多數個晶片於該積體電路底材之該第二表面上，並使該些晶片與該些第三鋸墊電性連接。

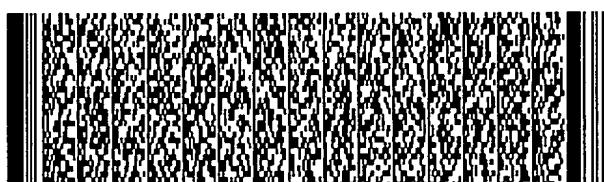
14. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中上述之該積體電路底材係為矽晶圓基材。

15. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中上述之該積體電路底材經由該研磨製程後之厚度大約為10至500微米。

16. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中上述之晶片係為主動式晶片。

17. 如申請專利範圍第16項之形成高密度多晶片模組的方法，其中上述之主動式晶片係以覆晶接合方式固定於該積體電路底材之該第二表面上。

18. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中上述之晶片係為被動式晶片。



六、申請專利範圍

19. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中上述之該多數個晶片係分別各自電性連接至該積體電路底材之該些第三鋸墊。

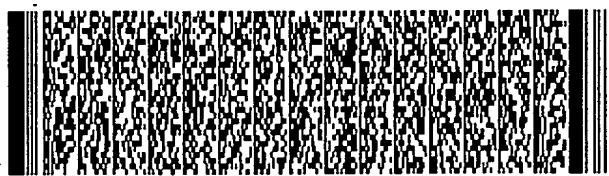
20. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中上述之該多數個晶片係包括至少一晶片電性連結並堆疊於一第一主動式晶片之背面，其中該第一主動式晶片係以覆晶接合方式固定於所述之第一多晶片模組底材。

21. 如申請專利範圍第20項之形成高密度多晶片模組的方法，其中上述之至少一晶片係包括一第二主動式晶片，其係以覆晶接合方式固定於該第一主動式晶片之背面。

22. 如申請專利範圍第20項之形成高密度多晶片模組的方法，其中上述之至少一晶片係包括一被動式晶片。

23. 如申請專利範圍第20項之形成高密度多晶片模組的方法，其中更包括將該高密度多晶片模組以覆晶接合方式固定於一電路基板上。

24. 如申請專利範圍第13項之形成高密度多晶片模組的方法，其中更包括將該高密度多晶片模組以覆晶接合方式固定於一第二多晶片模組底材上，其中該第二多晶片模組底材的結構與該第一多晶片模組底材的結構相同。



圖式

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC

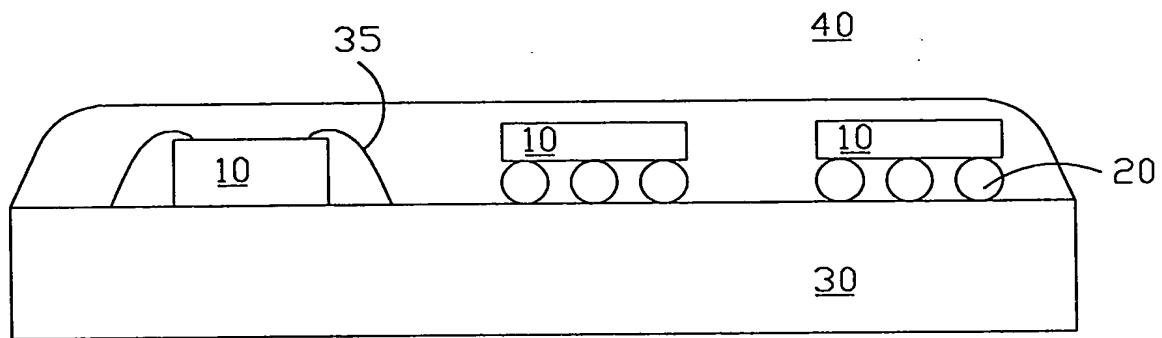
1050 Connecticut Avenue, N.W., Suite 400

Washington, D.C. 20036-5339

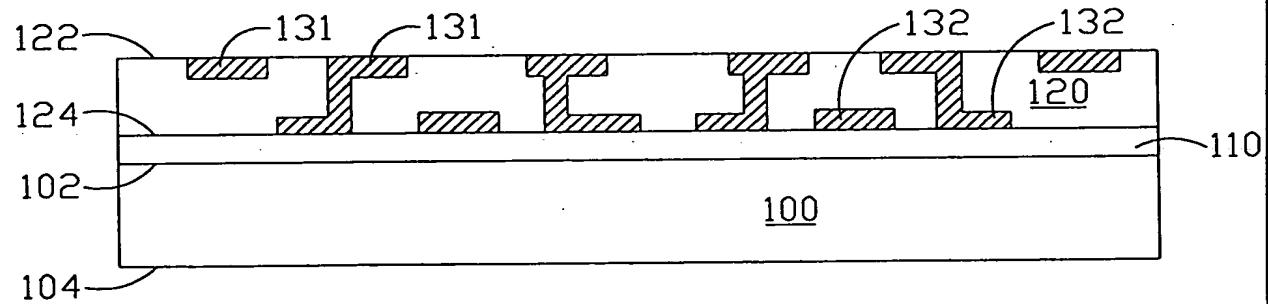
Docket No. 025796-00014

Serial No.: New Application Filed: December 15, 2003

Inventor: HO et al

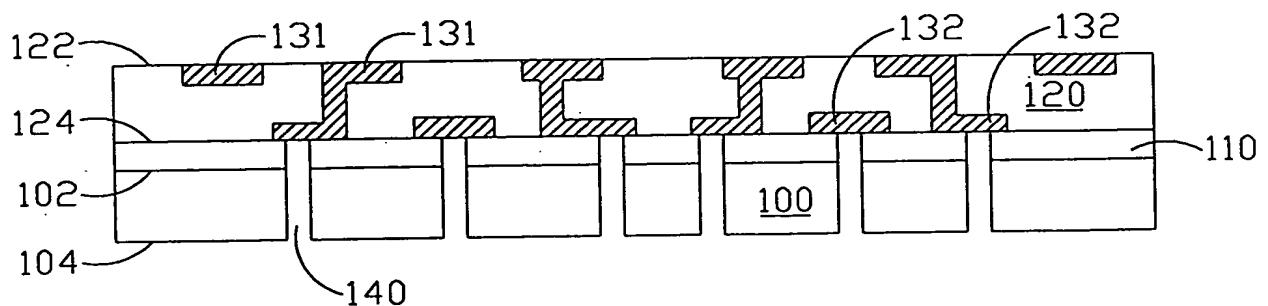


第一圖

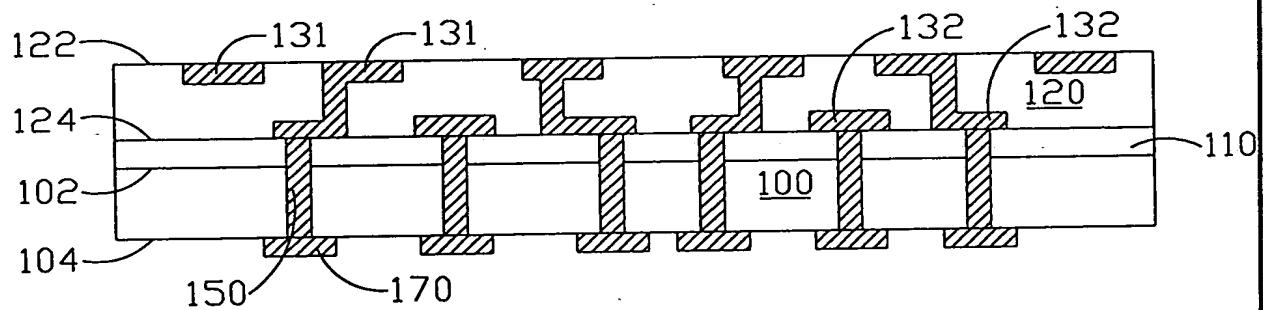


第二圖

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Docket No. 025796-00014
Serial No.: New Application Filed: December 15, 2003
Inventor: HO et al

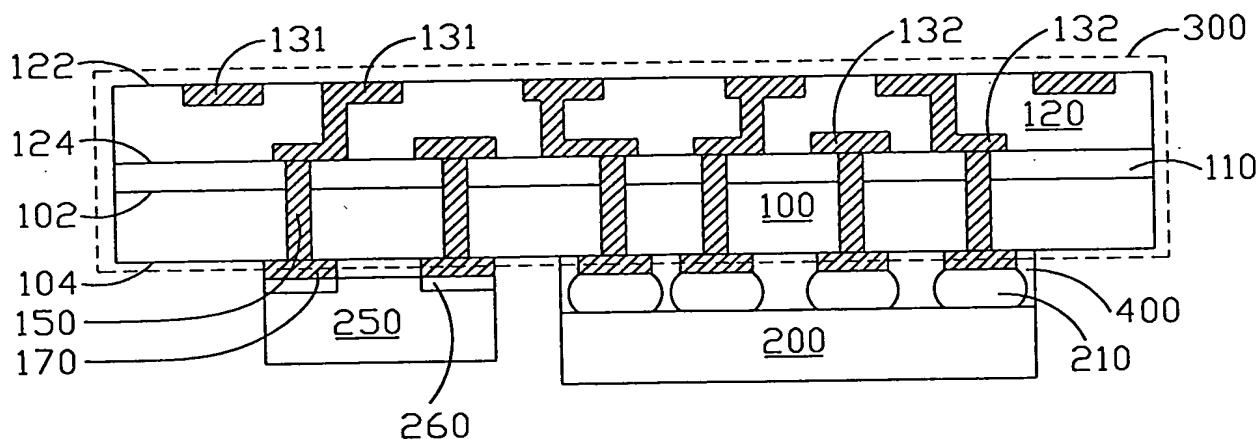


第三圖

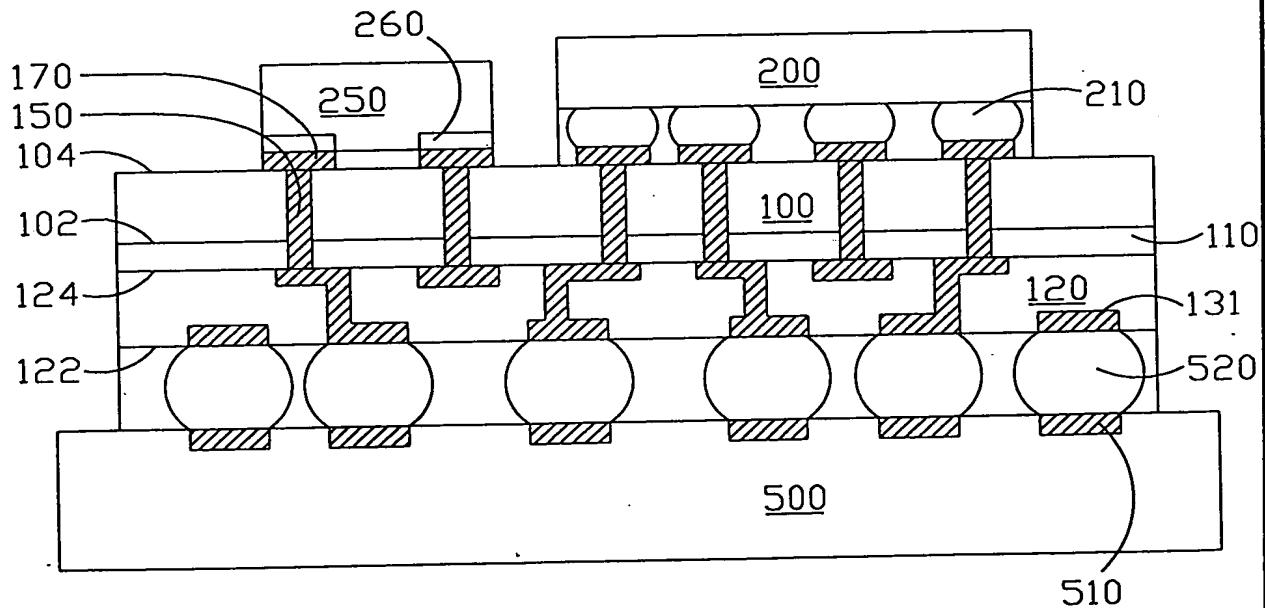


第四圖

圖式



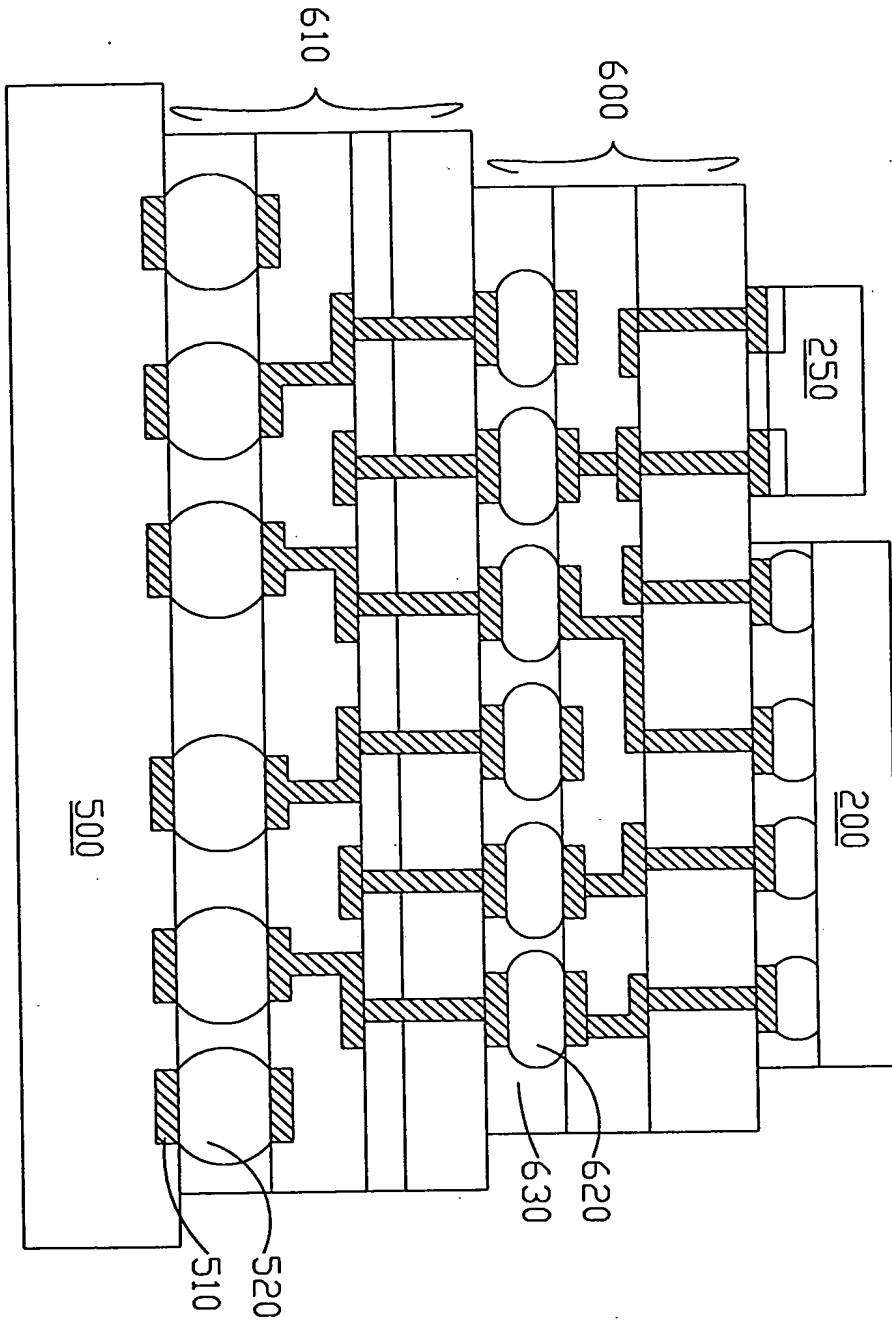
第五圖



第六圖

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Docket No. 025796-00014
Serial No.: New Application Filed: December 15, 2003
Inventor: HO et al

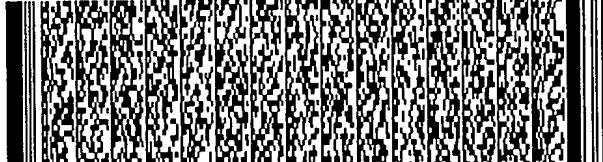
第七圖



第 1/23 頁



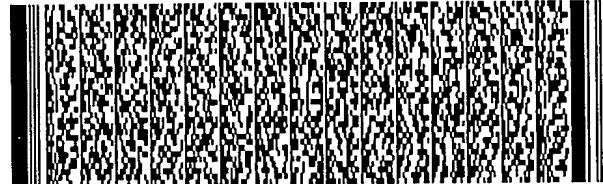
第 2/23 頁



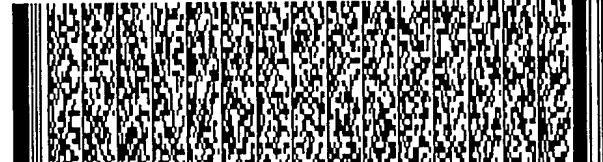
第 4/23 頁



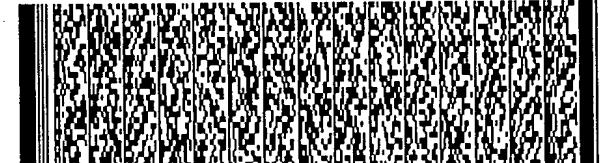
第 6/23 頁



第 7/23 頁



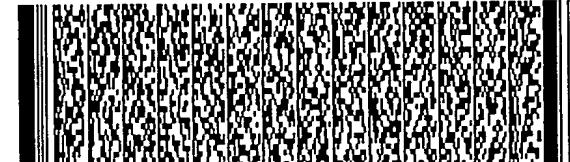
第 8/23 頁



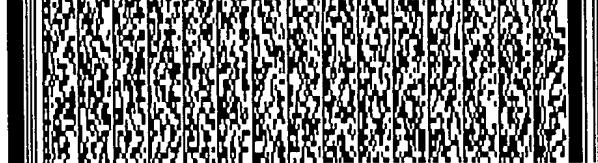
第 9/23 頁



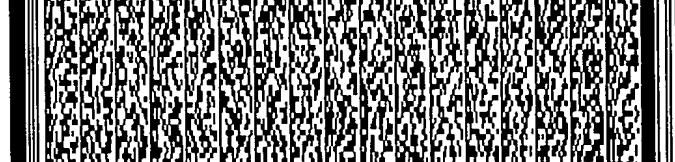
第 10/23 頁



第 2/23 頁



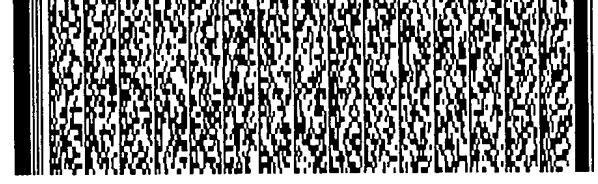
第 3/23 頁



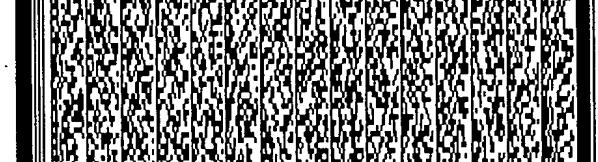
第 6/23 頁



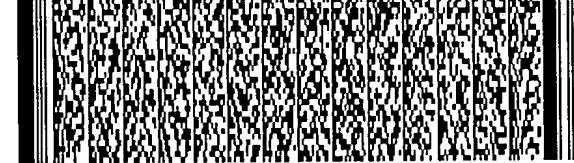
第 7/23 頁



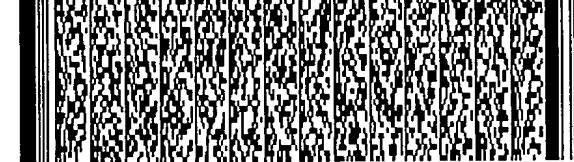
第 8/23 頁



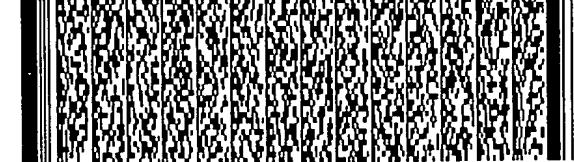
第 9/23 頁



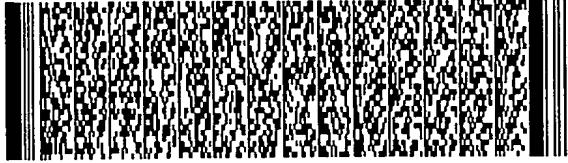
第 10/23 頁



第 11/23 頁



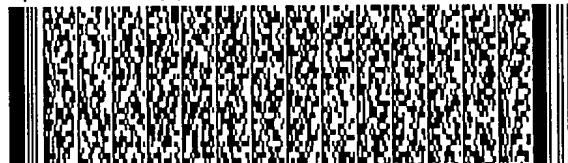
第 11/23 頁



第 12/23 頁



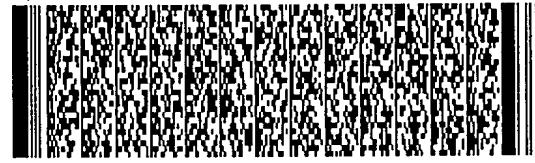
第 13/23 頁



第 14/23 頁



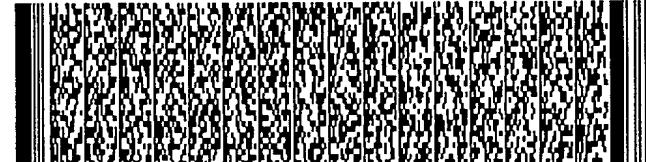
第 15/23 頁



第 17/23 頁



第 19/23 頁



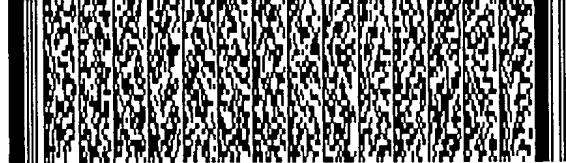
第 21/23 頁



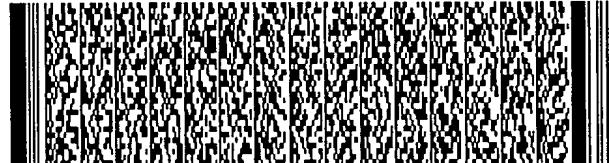
第 12/23 頁



第 13/23 頁



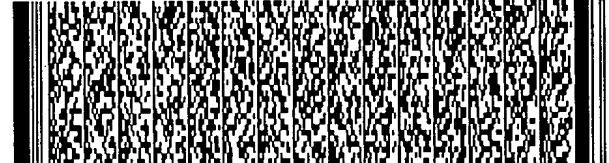
第 14/23 頁



第 15/23 頁



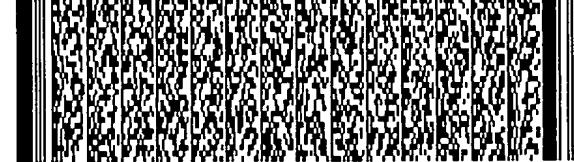
第 16/23 頁



第 18/23 頁



第 20/23 頁



第 22/23 頁



